

Docket No.: 60188-662

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Ryota NISHIKAWA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 07, 2003	:	Examiner:
	:	
For:		SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR DESIGNING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

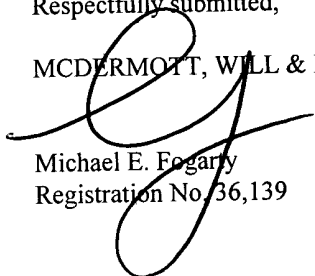
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2002-333687, filed on November 18, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: October 7, 2003

60188-662

Ryota NISHIKAWA, et al.

October 7, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 8 日
Date of Application:

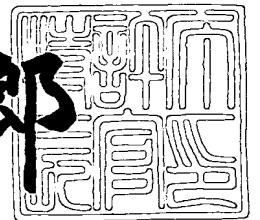
出 願 番 号 特 願 2 0 0 2 - 3 3 3 6 8 7
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 3 6 8 7]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 9 4 6

【書類名】 特許願

【整理番号】 5038240105

【提出日】 平成14年11月18日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 1/32

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 西川 亮太

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 島村 秋光

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体集積回路装置及びその設計方法

【特許請求の範囲】

【請求項 1】 複数の構成要素を含んだ回路ブロックを有する半導体集積回路装置であって、

前記複数の構成要素のうちの少なくとも 1 つには、他の構成要素とは異なる値の電圧が供給されている

ことを特徴とする半導体集積回路装置

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、

各々が異なる値の電圧を前記回路ブロックに供給する複数の電源を備え、

前記複数の電源のうちの 1 つは、所定の電圧を供給するものであり、残りのものは、前記所定の電圧が順に降圧された電圧を供給するものである

ことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 に記載の半導体集積回路装置において、

前記複数の構成要素の各々には、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じた電圧が、供給されている

ことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 に記載の半導体集積回路装置において、

前記複数の構成要素のうち、前記信号伝播遅延値が最大であるパスに属する構成要素には、

そのパスの信号伝播遅延値が許容される最大値以内に収まることが可能な電圧が供給されている

ことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 3 に記載の半導体集積回路装置において、

前記信号伝播遅延値が最大であるパス以外のパスに属する構成要素には、

前記信号伝播遅延値が最大であるパスに対して供給される電圧よりも低い電圧が供給されている

ことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 3 に記載の半導体集積回路装置において、
同一のパスに属する 2 以上の構成要素には、
前記信号伝播遅延値に基づいて、2 種類以上の値を有する電圧が供給されている
ことを特徴とする半導体集積回路装置。

【請求項 7】 請求項 3 に記載の半導体集積回路装置において、
前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素には、
前記一のパスに属するその構成要素以外の構成要素に対して供給する電圧よりも低い電圧が供給されている
ことを特徴とする半導体集積回路装置。

【請求項 8】 請求項 1 に記載の半導体集積回路装置において、
前記複数の構成要素は、
各々に供給されるべき電圧の値に対応した複数の領域に分けて配置されているものである
ことを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 に記載の半導体集積回路装置において、
前記複数の構成要素の各々は、
前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じて、前記複数の領域のいずれかに配置されているものである
ことを特徴とする半導体集積回路装置。

【請求項 10】 請求項 8 に記載の半導体集積回路装置において、
同一のパスに属する 2 以上の構成要素は、
前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に基づいて、前記複数の領域のうち 2 つ以上の異なる領域に配置されているものである
ことを特徴とする半導体集積回路装置。

【請求項 11】 請求項 8 に記載の半導体集積回路装置において、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素は、

前記一のパスに属するその構成要素以外の構成要素が配置されている領域よりも低い電圧が供給される領域に配置されているものであることを特徴とする半導体集積回路装置。

【請求項 1 2】 請求項 8 に記載の半導体集積回路装置において、前記複数の領域のうちの少なくとも 1 つは、電源配線からの距離に応じて、更に複数の領域に分けられているものであることを特徴とする半導体集積回路装置。

【請求項 1 3】 請求項 1・2 に記載の半導体集積回路装置において、前記複数の構成要素の各々は、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じて、前記更に分けられた複数の領域のいずれかに配置されているものであることを特徴とする半導体集積回路装置。

【請求項 1 4】 請求項 1 3 に記載の半導体集積回路装置において、前記信号伝播遅延値が最大であるパスに属する構成要素は、前記更に分けられた複数の領域のうち、前記電源配線に最も近い領域に配置されているものであることを特徴とする半導体集積回路装置。

【請求項 1 5】 複数の構成要素を含んだ回路ブロックを有する半導体集積回路装置の設計方法であって、前記複数の構成要素のうち少なくとも 1 つに対して、他の構成要素とは異なる値の電圧を供給することを特徴とする半導体集積回路装置の設計方法。

【請求項 1 6】 請求項 1 5 に記載の半導体集積回路装置の設計方法であって、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を統計的に計算し、前記信号伝播遅延値に基づいて、前記パスの信号伝播遅延値が許容される最大値以内となる電圧のうち最小のものを、前記複数の構成要素に供給すべき電圧の大きさが2番目以降の大きさを有する電圧として供給することを特徴とする半導体集積回路装置の設計方法。

【請求項17】 請求項15に記載の半導体集積回路装置の設計方法であって、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記複数の構成要素の各々に対して、前記信号伝播遅延値に応じた電圧を供給することを特徴とする半導体集積回路装置の設計方法。

【請求項18】 請求項17に記載の半導体集積回路装置の設計方法であって、

前記信号伝播遅延値に基づいて、同一のパスに属する2以上の構成要素に対して、2種類以上の値を有する電圧を供給することを特徴とする半導体集積回路装置の設計方法。

【請求項19】 請求項17に記載の半導体集積回路装置の設計方法であって、

前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素に対して、前記一のパスに属するその構成要素以外の構成要素に対して供給する電圧よりも低い電圧を供給することを特徴とする半導体集積回路装置の設計方法。

【請求項20】 請求項15に記載の半導体集積回路装置の設計方法であって、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記信号伝播遅延値に基づいて、当該半導体集積回路装置内に、各々に供給される電圧の値に応じた複数の領域を設けることを特徴とする半導体集積回路装置の設計方法。

【請求項 2 1】 請求項 2 0 に記載の半導体集積回路装置の設計方法であって、

前記信号伝播遅延値に基づいて、前記複数の構成要素の各々を、前記複数の領域のいずれかに配置する

ことを特徴とする半導体集積回路装置の設計方法。

【請求項 2 2】 請求項 2 0 に記載の半導体集積回路装置の設計方法であって、

前記信号伝播遅延値に基づいて、同一のパスに属する 2 以上の構成要素を、前記複数の領域のうちの 2 つ以上の異なる領域に配置する

ことを特徴とする半導体集積回路装置の設計方法。

【請求項 2 3】 請求項 2 0 に記載の半導体集積回路装置の設計方法であって、

前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素に対して、前記一のパスに属するその構成要素以外の構成要素が配置されている領域よりも低い電圧が供給される領域に配置する

ことを特徴とする半導体集積回路装置の設計方法。

【請求項 2 4】 請求項 2 0 に記載の半導体集積回路装置の設計方法であって、

前記複数の領域のうちの少なくとも 1 つに、電源配線からの距離に応じて、更に複数の領域を設ける

ことを特徴とする半導体集積回路装置の設計方法。

【請求項 2 5】 請求項 2 4 に記載の半導体集積回路装置の設計方法であって、

前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記信号伝播遅延値に基づいて、前記複数の構成要素の各々を、前記更に分けられた複数の領域に配置する

ことを特徴とする半導体集積回路装置の設計方法。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、半導体集積回路装置、及び半導体集積回路装置の設計方法に関するものである。

【0 0 0 2】**【従来の技術】**

半導体集積回路装置の高性能化、大規模化に伴い消費電力の増加が問題となっている。特に移動体通信分野に使用される半導体集積回路装置は、限られた電力量によって動作するため、消費電力を削減することが重要な課題である。

【0 0 0 3】

半導体集積回路装置の消費電力を低減する方法の一つとして、半導体集積回路装置を構成する回路ブロックに対して与える 1 つの電圧を制御する技術がある。この技術では、回路ブロックごとに、その供給する電源電圧を一定値へ降圧したり、または電源電圧の供給を遮断する。これにより、半導体集積回路装置の電力削減が可能である。

【0 0 0 4】**【特許文献 1】**

特 3 1 1 7 9 1 0 号公報

【0 0 0 5】**【発明が解決しようとする課題】**

しかしながら、上記技術においては回路ブロックごとの制御であったため、より一層の低消費電力化を実現することは困難であった。

【0 0 0 6】

また、素子の微細化に伴い、I R - D r o p 効果等の電圧降下によって、目的とする高速動作の実現が困難となる場合も生じている。

【0 0 0 7】

そこで、本発明の目的は、低消費電力化を実現可能な半導体集積回路装置及びその設計方法を提供することである。また、目標の回路動作を維持して性能を劣

化させることなく低消費電力化を実現可能な半導体集積回路装置及びその設計方法を提供することである。

【0008】

【課題を解決するための手段】

上記の課題を解決するために、第1に、本発明の半導体集積回路装置は、複数の構成要素を含んだ回路ブロックを有する半導体集積回路装置であって、前記複数の構成要素のうちの少なくとも1つには、他の構成要素とは異なる値の電圧が供給されているものである。

【0009】

請求項1の発明によると、回路ブロック内の構成要素に他の構成要素とは異なる電圧を供給するので、消費電力の低減を実現できる。

【0010】

また、請求項2の発明は、請求項1に記載の半導体集積回路装置において、各々が異なる値の電圧を前記回路ブロックに供給する複数の電源を備え、前記複数の電源のうちの1つは、所定の電圧を供給するものであり、残りのものは、前記所定の電圧が順に降圧された電圧を供給するものである。

【0011】

請求項2の発明によると、所定の割合で降圧した電圧や装置の構成にしたがった電圧などを構成要素に供給でき、より効率的に消費電力の低減を実現できる。

【0012】

また、請求項3の発明は、請求項1に記載の半導体集積回路装置において、前記複数の構成要素の各々には、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じた電圧が、供給されているものとする。

【0013】

請求項3の発明によると、信号伝播遅延値に応じた電圧を各構成要素に供給するため、より効率的に消費電力の低減を実現できる。

【0014】

また、請求項4の発明は、請求項3に記載の半導体集積回路装置において、前記複数の構成要素のうち、前記信号伝播遅延値が最大であるパスに属する構成要

素には、そのパスの信号伝播遅延値が許容される最大値以内に収まることが可能な電圧が供給されているものとする。

【0015】

請求項4の発明によると、動作速度を維持したまま、低消費電力の低減を実現できる。

【0016】

また、請求項5の発明は、請求項3に記載の半導体集積回路装置において、前記信号伝播遅延値が最大であるパス以外のパスに属する構成要素には、前記信号伝播遅延値が最大であるパスに対して供給される電圧よりも低い電圧が供給されているものである。

【0017】

請求項5の発明によると、より効率的に消費電力の低減を実現できる。

【0018】

また、請求項6の発明は、請求項3に記載の半導体集積回路装置において、同一のパスに属する2以上の構成要素には、前記信号伝播遅延値に基づいて、2種類以上の値を有する電圧が供給されているものである。

【0019】

請求項6の発明によると、より効率的に消費電力の低減を実現できる。

【0020】

また、請求項7の発明は、請求項3に記載の半導体集積回路装置において、前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素には、前記一のパスに属するその構成要素以外の構成要素に対して供給する電圧よりも低い電圧が供給されているものとする。

【0021】

請求項7の発明によると、複数のパスに属する構成要素は遷移確率が高いため、低い電圧を供給することにより、より効率的に消費電力の低減を実現できる。

【0022】

また、請求項8の発明は、請求項1に記載の半導体集積回路装置において、前

記複数の構成要素は、各々に供給されるべき電圧の値に対応した複数の領域に分けて配置されているものである。

【 0 0 2 3 】

請求項 8 の発明によると、複数の構成要素が電圧別の配置領域に分けて配置されているため、複雑な電源配線を行うことなく、消費電力の低減を実現できる。

【 0 0 2 4 】

また、請求項 9 の発明は、請求項 8 に記載の半導体集積回路装置において、前記複数の構成要素の各々は、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じて、前記複数の領域のいずれかに配置されているものである。

【 0 0 2 5 】

請求項 9 の発明によると、複数の構成要素が、信号伝播遅延値に応じて電圧別の配置領域に分けて配置されているため、より効率的に消費電力の低減を実現できる。

【 0 0 2 6 】

また、請求項 1 0 の発明は、請求項 8 に記載の半導体集積回路装置において、同一のパスに属する 2 以上の構成要素は、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に基づいて、前記複数の領域のうちの 2 つ以上の異なる領域に配置されているものである。

【 0 0 2 7 】

請求項 1 0 の発明によると、より効率的に消費電力の低減を実現できる。

【 0 0 2 8 】

また、請求項 1 1 の発明は、請求項 8 に記載の半導体集積回路装置において、前記複数の構成要素の各々が属するパスに生じる所定の条件下での前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素は、前記一のパスに属するその構成要素以外の構成要素が配置されている領域よりも低い電圧が供給される領域に配置されているものである。

【 0 0 2 9 】

請求項 11 の発明によると、複数のパスに属する構成要素は遷移確率が高いため、低い電圧を供給することにより、より効率的に消費電力の低減を実現できる。

【0030】

また、請求項 12 の発明は、請求項 8 に記載の半導体集積回路装置において、前記複数の領域のうちの少なくとも 1 つは、電源配線からの距離に応じて、更に複数の領域に分けられているものである。

【0031】

請求項 12 の発明によると、電圧降下を考慮して、1 つの領域内で、更に、電圧降下を考慮した複数の領域に分けるため、供給する電圧の種類を増やすことが可能になり、また、複雑な電源制御を伴うことなく、より効率的に消費電力の低減を実現できる。また、電圧降下による性能劣化を防ぐことができる。

【0032】

また、請求項 13 の発明は、請求項 12 に記載の半導体集積回路装置において、前記複数の構成要素の各々は、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値に応じて、前記更に分けられた複数の領域のいずれかに配置されているものである。

【0033】

請求項 13 の発明によると、信号伝播遅延値に基づいて、複数の構成要素を更に分けられた複数の領域に配置するため、より効率的に消費電力の低減を実現できる。

【0034】

また、請求項 14 の発明は、請求項 13 に記載の半導体集積回路装置において、前記信号伝播遅延値が最大であるパスに属する構成要素は、前記更に分けられた複数の領域のうち、前記電源配線に最も近い領域に配置されているものである。

【0035】

請求項 14 の発明によると、電圧降下による性能劣化を防いで、より効率的に消費電力の低減を実現できる。

【0 0 3 6】

また、上記課題を解決するために、第 2 に、本発明の請求項 1 5 に係る半導体集積回路装置の設計方法は、複数の構成要素を含んだ回路ブロックを有する半導体集積回路装置の設計方法であって、前記複数の構成要素のうちの少なくとも 1 つに対して、他の構成要素とは異なる値の電圧を供給するものである。

【0 0 3 7】

請求項 1 5 の発明によると、回路ブロック内の構成要素に他の構成要素とは異なる電圧を供給するので、低消費電力化設計を実現できる。

【0 0 3 8】

また、請求項 1 6 の発明は、請求項 1 5 に記載の半導体集積回路装置の設計方法であって、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を統計的に計算し、前記信号伝播遅延値に基づいて、前記パスの信号伝播遅延値が許容される最大値以内となる電圧のうち最小のものを、前記複数の構成要素に供給すべき電圧の大きさが 2 番目以降の大きさを有する電圧として供給するものである。

【0 0 3 9】

請求項 1 6 の発明によると、統計的に計算した信号伝播遅延値をもとにして消費電力を最小とする電圧を決定するので、一定の割合で順に降圧した電圧を供給する場合に比べ、より効率的な低消費電力化設計を実現できる。

【0 0 4 0】

また、請求項 1 7 の発明は、請求項 1 5 に記載の半導体集積回路装置の設計方法であって、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記複数の構成要素の各々に対して、前記信号伝播遅延値に応じた電圧を供給するものである。

【0 0 4 1】

請求項 1 7 の発明によると、信号伝播遅延値に応じた電圧を各構成要素に供給するため、より効率的な低消費電力化設計を実現できる。

【0 0 4 2】

また、請求項 1 8 の発明は、請求項 1 7 に記載の半導体集積回路装置の設計方

法であって、前記信号伝播遅延値に基づいて、同一のパスに属する 2 以上の構成要素に対して、2 種類以上の値を有する電圧を供給するものである。

【0 0 4 3】

請求項 1 8 の発明によると、より効率的な低消費電力化設計を実現できる。

【0 0 4 4】

また、請求項 1 9 の発明は、請求項 1 7 に記載の半導体集積回路装置の設計方法であって、前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素に対して、前記一のパスに属するその構成要素以外の構成要素に対して供給する電圧よりも低い電圧を供給するものとする。

【0 0 4 5】

請求項 1 9 の発明によると、複数のパスに属する構成要素は遷移確率が高いため、低い電圧を供給することにより、より効率的な低消費電力化設計を実現できる。

【0 0 4 6】

また、請求項 2 0 の発明は、請求項 1 5 に記載の半導体集積回路装置の設計方法であって、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記信号伝播遅延値に基づいて、当該半導体集積回路装置内に、各々に供給される電圧の値に応じた複数の領域を設けるものとする。

【0 0 4 7】

請求項 2 0 の発明によると、信号伝播遅延値に基づいて、電圧別の複数の配置領域を設けるため、低消費電力化設計を実現できる。

【0 0 4 8】

また、請求項 2 1 の発明は、請求項 2 0 に記載の半導体集積回路装置の設計方法であって、前記信号伝播遅延値に基づいて、前記複数の構成要素の各々を、前記複数の領域のいずれかに配置するものとする。

【0 0 4 9】

請求項 2 1 の発明によると、信号伝播遅延値に基づいて、複数の構成要素を電

圧別の配置領域に分けて配置するため、複雑な電源配線を行うことなく、低消費電力化設計を実現できる。

【 0 0 5 0 】

また、請求項 2 2 の発明は、請求項 2 0 に記載の半導体集積回路装置の設計方法であって、前記信号伝播遅延値に基づいて、同一のパスに属する 2 以上の構成要素を、前記複数の領域のうちの 2 つ以上の異なる領域に配置するものとする。

【 0 0 5 1 】

請求項 2 2 の発明によると、より効率的な低消費電力化設計を実現できる。

【 0 0 5 2 】

また、請求項 2 3 の発明は、請求項 2 0 に記載の半導体集積回路装置の設計方法であって、前記信号伝播遅延値に基づいて、一のパスに属する構成要素のうちの一部の構成要素に対して供給される電圧を降圧することが許容される場合に、前記一のパスと他のパスとに属する構成要素に対して、前記一のパスに属するその構成要素以外の構成要素が配置されている領域よりも低い電圧が供給される領域に配置するものである。

【 0 0 5 3 】

請求項 2 3 の発明によると、複数のパスに属する構成要素は遷移確率が高いため、低い電圧を供給することにより、より効率的な低消費電力化設計を実現できる。

【 0 0 5 4 】

また、請求項 2 4 の発明は、請求項 2 0 に記載の半導体集積回路装置の設計方法であって、前記複数の領域のうちの少なくとも 1 つに、電源配線からの距離に応じて、更に複数の領域を設けるものとする。

【 0 0 5 5 】

請求項 2 4 の発明によると、1 つの領域内で、更に、電圧降下を考慮した複数の領域に分けるため、供給する電圧の種類を増やすことが可能になり、また、複雑な電源制御を伴うことなく、より効率的な低消費電力設計を実現できる。また、電圧降下による性能劣化を防ぐことができる。

【 0 0 5 6 】

また、請求項 25 の発明は、請求項 24 に記載の半導体集積回路装置の設計方法であって、前記複数の構成要素の各々が属するパスに生じる所定の条件下での信号伝播遅延値を計算し、前記信号伝播遅延値に基づいて、前記複数の構成要素の各々を、前記更に分けられた複数の領域に配置するものとする。

【0057】

請求項 25 の発明によると、信号伝播遅延値に基づいて、複数の構成要素を更に分けられた複数の領域に配置するため、より効率的な低消費電力設計を実現できる。

【0058】

【発明の実施の形態】

以下、本発明の実施形態について図面を参照しながら説明する。

【0059】

図 1 は本発明の第 1 の実施形態における半導体集積回路装置の構成を説明するための図である。

【0060】

図 1 に示した半導体集積回路装置においては、回路ブロック 1C と電源 11 ～ 14 とが示されている。

【0061】

回路ブロック 1C は、そのブロック 1C を構成する要素（以下、「構成要素」と言う）101e ～ 120e を有しており、構成要素 101e ～ 120e は、電源 11 ～ 電源 14 から電圧 VDD1 ～ VDD2 のいずれかの電圧が供給されている（図上では太い実線）。なお、図 1 において、各構成要素 101e ～ 120e は、図示するように、パスで接続されている様子が示されている。なお、ここで、回路ブロックとは、例えば AND ゲート、OR ゲートなどの構成要素を含んだ回路上のブロックである。

【0062】

回路ブロック 1C に供給される電圧 VDD2 ～ VDD4 は、半導体集積回路装置の定格電圧 VDD1 を基準とし、一定の割合で降圧された電圧、または半導体集積回路装置の構成に基づいて降圧された電圧であり、各構成要素 101e ～ 1

20eに供給されるものである。

【0063】

このように、回路ブロックよりも細かい単位、すなわち各構成要素ごとに電源電圧を供給するため、より一層の低消費電力化を実現できる。

【0064】

図2(a)、(b)は、本発明の本実施形態についてより具体的に説明するための回路ブロック2Ca、2Cbをそれぞれ示す図である。なお、以降の図においても示すように、図において、各電源から引き出されている太い実線は、電源配線を示している。

【0065】

また、以下の説明で用いる信号伝播遅延値とは、各構成要素が属するパスの信号伝播遅延値を所定の条件下で求めておいたものである。

【0066】

図2(a)に示した回路ブロック2Caには、定格電源VDD1と所定の間隔で降圧された電圧VDD2が供給されている。また、回路ブロック2Caは、構成要素201e~209eを有している。各構成要素201e~209eは、図示するように、2つのパス20pまたはパス21pのいずれかに属している。具体的には、パス20pには構成要素201e~206eが属しており、パス21pには構成要素207e~209eが属している。

【0067】

回路ブロック2Ca内部において、最も大きな信号伝播遅延値を有するパス20pに属する構成要素201e~206eには、電源11からの電圧VDD1が供給される。一方、パス20pの信号伝播遅延値に比べ、信号伝播遅延値に余裕のあるパス21pに属する構成要素207e~209eには、電源11からの電圧VDD1または電源12からの電圧VDD2が供給される。この場合、最も大きな信号伝播遅延値に比べて、回路ブロック2C内の各パス（図上ではパス21p）の信号伝播遅延値の値が大きくなる範囲で、構成要素に対して電圧VDD1またはVDD2を供給する。例えば、図2(a)では、構成要素209eには高い電圧を有する電圧VDD1を供給し、構成要素207e及び208eには

低い電圧を有する電圧VDD2を供給する構成を示している。

【0068】

最も大きい信号伝播遅延値を有するパス20pが、半導体集積回路装置の動作速度を決定する。このため、最大の信号伝播遅延値を有するパス20pに属する構成要素201e～206eには電圧VDD1を供給し、信号伝播遅延値に余裕のあるパス21pに属する構成要素207e～208eには降圧された電圧VDD2を供給することによって、動作速度を維持したまま半導体集積回路装置の低消費電力化を実現することができる。また、最も大きな信号伝播遅延値に比べて、パス21pの信号伝播遅延値の値が大きくならないように、例えばパス21pに属する構成要素209eにはVDD1を供給するため、半導体集積回路装置の性能劣化を防ぐことができる。

【0069】

次に、図2(b)に示した回路ブロック2Cbは、電圧VDD1と電圧VDD2が供給されている。また、回路ブロック2Caは、構成要素210e～217eを有している。各構成要素210e～217eは、図示するように、2つのパス22pまたはパス23pのいずれかに属している。具体的には、パス22pには構成要素210e～215eが属しており、パス23pには構成要素216e、212e、209eが属している。なお、構成要素212eはパス22pとパス23pの両方に共通の構成要素である。

【0070】

回路ブロック2Ca内部において、最も大きな信号伝播遅延値を有するパス22pにのみ属する構成要素210e、211e、213e、214e、215eには、電源11からの電圧VDD1が供給される。一方、パス22pの信号伝播遅延値に比べ、信号伝播遅延値に余裕のあるパス23pに属する構成要素216e、212e、217eには、電源12からの電圧VDD2が供給される。このようにして、パス22pの信号伝播遅延値に基づいて、パス22pに属する一部の構成要素に供給する電圧を降圧することが可能であれば、パス23pにも属する構成要素212eに対して電源VDD2を供給する。複数のパスに属する構成要素は遷移確率が高いため、その構成要素に低い電圧を供給することによって効

率的な低消費電力化を実現することができる。

【0 0 7 1】

＜配置領域＞

図 3 は本実施形態において配置領域を用いて低消費電力化を図る半導体集積回路装置を説明するための図である。

【0 0 7 2】

図 3 に示した回路ブロック 3 C は、配置領域 3 1 R と配置領域 3 2 R とを備えており、電源 1 1 から電圧 VDD 1 が配置領域 3 1 R に供給され、電源 1 2 から電圧 VDD 2 が配置領域 3 2 R に供給されている。また、配置領域 3 1 R にはパス 3 4 p に属する構成要素 3 0 1 e ～ 3 0 6 e があり、配置領域 3 2 R にはパス 3 6 p に属する構成要素 3 0 7 e ～ 3 0 9 e がある。なお、電源 1 1 と電源 1 2 とは、上記第 1 の実施形態と説明したものと同様である。なお、以下の説明で用いる信号伝播遅延値については上記で説明した通りである。

【0 0 7 3】

回路ブロック 3 C 内の最も大きな信号伝播遅延値を有するパス 3 4 p に属する構成要素 3 0 1 e ～ 3 0 6 e を含む配置領域 3 1 R には、電源 1 1 から電圧 VDD 1 を供給する。一方、信号伝播遅延値に余裕のあるパス 3 6 p に属する構成要素 3 0 7 e ～ 3 0 9 e を含む配置領域 3 2 R には、電源 1 2 から電圧 VDD 2 を供給する。

【0 0 7 4】

このように、最も大きな信号伝播遅延値を有するパス 3 4 p に属する構成要素 3 0 1 e ～ 3 0 6 e には電圧 VDD 1 を供給し、信号伝播遅延値に余裕のあるパス 3 6 p に属する構成要素 3 0 7 e ～ 3 0 9 e には電圧 VDD 1 よりも低い電圧 VDD 2 を供給する。これにより、半導体集積回路装置の動作速度を維持したまま低消費電力化が可能となる。

【0 0 7 5】

また、図 4 は配置領域を用いた場合のより具体的な説明のための半導体集積回路装置の構成を示す図である。

【0 0 7 6】

図4に示した回路ブロック4Cは、配置領域41R、42R、43R、44R、・・・を有しており、各配置領域41R、42R、43R、44R、・・・には、それぞれ電源11からの電圧VDD1、電源12からの電圧VDD2、電源13からの電圧VDD3、電源14からの電圧VDD4、・・・が供給されている。なお、電圧VDD1、VDD2、VDD3、VDD4、・・・は、定格電圧VDD1から所定の割合で降圧された電圧である。また、一番下に位置する領域4nRは、電源nから電圧VDDnが供給されている。

【0077】

最も大きな信号伝播遅延値を有するパス45pに属する構成要素401e～408eを含む配置領域41Rには、最も高い電圧VDD1を供給する。一方、パス45pから分岐したパスに属する構成要素409e～411eは、信号伝播遅延値に余裕のある構成要素であるため、電圧VDD1よりも低い電圧VDD2が供給される配置領域42Rに配置されている。また、最も小さい信号伝播遅延値を有するパス4npは、パスに生じる遅延に余裕があるため、パス4npに属する構成要素422e～424eは、最も低い電圧VDDnが供給される配置領域4nRに配置されている。

【0078】

このように、各構成要素を最大信号伝播遅延値よりも大きくならない範囲で、各パスに属する構成要素を、より低い電圧が供給される配置領域に配置している。これにより、半導体集積回路装置の低消費電力化が可能となる。

【0079】

また、図示するように、パス46pとパス47pとの両方に属する構成要素414e及び415eが、パス46pに属する他の構成要素412e、413e、416e、417e、418eが配置されている配置領域43Rと異なり配置領域44Rに配置されているのは、上記第1の実施形態と同様の意図である。すなわち、パス46pの信号伝播遅延値に基づいて、パス46pに属する構成要素412e～418eのうちの一部の構成要素に供給する電圧を降圧することが可能である場合に、パス46pとパス47pとの両方に属する構成要素414e及び415eを電圧VDD3よりも低い電圧VDD4が供給される領域に配置したも

のである。このように、遷移確率の高い構成要素に低い電圧を供給することによって、より効率的な低消費電力化が可能となる。

【0 0 8 0】

＜配置領域内部＞

図 5 は本実施形態において配置領域内部を考慮して低消費電力化を図る場合を説明するための図であって、図 4 を用いて説明した配置領域の一例としてその内部構成を説明するための図である。

【0 0 8 1】

図 5 は、配置領域 5 0 R の内部に発生する I R - D r o p 効果などによる電圧降下を考慮した内部構成図である。

【0 0 8 2】

図示するように、電圧 V D D 5 1 を供給する電源配線 5 1 L が配置領域 5 0 R の中央に配線されており、I R - D r o p 効果などにより電圧降下が生じる。例えば、配置領域 5 0 R の下半分の領域を用いて説明すると、電源配線 5 1 L から最も距離が近い領域は最も高い電圧を有する領域 5 0 r となり、順に降圧された電圧を有する領域 5 1 r、5 2 r が続き、電源配線 5 1 L から最も距離が遠い領域は、最も低い電圧を有する領域 5 3 r となる。

【0 0 8 3】

したがって、同一電源から一の電圧が供給される配置領域内において、図示するように、最も大きな信号伝播遅延値を有するパス 5 2 p に属する構成要素 5 0 1 e ~ 5 0 6 e は、電圧降下の最も少ない領域 5 0 r に配置し、パス 5 2 p から分岐したパスに属する構成要素 5 0 7 e、5 0 8 e は、そのパスに生じる遅延に余裕があるため、例えば、構成要素 5 0 7 は領域 5 2 r に配置し、構成要素 5 0 8 e は領域 5 3 r に配置する。

【0 0 8 4】

このように、同一電源から電圧が供給される一の配置領域内において、電圧が順に降下する場合に、信号伝播遅延値に基づいて、各構成要素の配置を一の配置領域内で適切な領域に配置する。これにより、素子の微細化に伴う電圧降下による性能劣化を防いで、より効率的な低消費電力化を実現できる。

【0085】**(第2の実施形態)**

以下では、本発明の第2の実施形態に係る半導体集積回路装置の設計方法について説明するが、上記第1の実施形態で説明した半導体集積回路装置に対応する設計方法であるため、上記第1の実施形態の内容を踏まえ、上記第1の実施形態と対応する部分については、その説明は繰り返さない。

【0086】**<設計方法1>**

図6は、本発明の第2の実施形態に係る半導体集積回路装置の設計方法1を示すフローチャートである。

【0087】

図6に示すように、半導体集積回路装置の構成要素の遅延情報S60と装置の電圧情報S61とをもとに、構成要素ごとに個別の電圧を割り当て(S62)、構成要素の電圧情報S63を作成する。

【0088】

構成要素の遅延情報S60は、半導体集積回路装置の構成要素が属するバスと構成要素そのものが持つ信号伝播遅延値を含む構成要素の遅延情報である。

【0089】

装置の電圧情報S61は、半導体集積回路装置に供給される電圧であり、半導体集積回路装置の定格電圧から一定の割合で降圧された複数の電圧の情報である。

【0090】

上記の通り、遅延情報S60と電圧情報S60とをもとに、半導体集積回路装置の各構成要素に適切な電圧を割り当て(S62)、構成要素に割り当てられた電圧の電圧情報S63を作成する。このように、構成要素ごとに適切な電圧を供給することにより、降圧された電圧を割り当てる構成要素の消費電力を削減できるため、低消費電力化された半導体集積回路装置を設計することができる。

【0091】**<設計方法2>**

図7は本発明の第2の実施形態に係る半導体集積回路装置の設計方法2を示すフローチャートである。

【0092】

図7に示すように、半導体集積回路装置の構成要素が存在するパスと構成要素そのものが持つ信号伝播遅延値を含む半導体集積回路装置の構成要素の遅延情報S70を用いて、各構成要素に必要とされるべき電圧の計算を行い（S71）、半導体集積回路装置に供給される電圧情報S72を作成する。

【0093】

そして、上記構成要素の遅延情報S70と半導体集積回路装置の電圧情報S72とに基づいて、各構成要素に対して信号伝播遅延値に応じた個別の電圧を割り当て（S73）、各構成要素に割り当てる電圧の電圧情報S74を作成する。

【0094】

各構成要素に対して個別の電圧の割り当てを行う（S73）際には、構成要素が属する同一のパス内において、そのパスを構成する全部の構成要素に対して一定の電圧を割り当てる。また、構成要素の遅延情報S70に基づいて、同一のパス内においてもそのパスを構成する構成要素に対して部分的に低い電圧を割り当ててもよい。また、構成要素の遅延情報S70に基づいて、同一のパスに属する構成要素のうちその一部に対して低い電圧を割り当てても構わない場合に、その同一のパスに属する構成要素のうち複数のパスに属する構成要素に対して低い電圧を割り当ててもよい。

【0095】

このようにして、半導体集積回路装置の構成要素に必要とされる電圧を供給するため、より効率的な低消費電力化を実現する半導体集積回路装置の設計が可能となる。

【0096】

＜パスの統計に基づいた電圧の供給＞

図8は半導体集積回路装置内のパスと各パスに対して低減可能な電源電圧の統計を示す図である。

【0097】

半導体集積回路装置に対して 2 種類の電源電圧を使用可能である場合、半導体集積回路装置内のパスに対する所定の統計 T 7 5 では、半導体集積回路装置の定格電圧に対して電圧 VDD77 を 2 種類目の電圧として使用する。すなわち、パスの信号伝播遅延値が許容される最大値以内となるように、パス数が最大数となる電圧 VDD77 を 2 番目の大きさを有する電圧として使用する。これに対し、半導体集積回路装置内のパスに対する別の所定の統計 T 7 6 では、パスの信号伝播遅延値が許容される最大値以内となるように、パス数が最大数となる電圧 VDD78 を 2 番目の大きさを有する電圧として使用する。これにより、パスの信号伝播遅延値が許容される最大値以内となる電圧のうち最小の電圧を 2 番目の電圧に使用することになるため、低消費電力化設計が可能になる。

【0098】

このように、半導体集積回路装置に供給する電圧を半導体集積回路装置内のパスの統計値より決定するため、一定の割合で降圧した電圧を供給するのに比べ、半導体集積回路装置のより効率的な低消費電力化設計が可能となる。

【0099】

<設計方法 3>

図 9 は本発明の第 2 の実施形態に係る半導体集積回路装置の設計方法 3 を示すフローチャートである。

【0100】

図 9 において、まず、図 7 での説明と同様に、遅延情報 S 8 0 を用いて最適な電圧を計算し (S 8 1)、電圧情報 S 8 2 を作成する。

【0101】

次に、半導体集積回路装置の電圧情報 S 8 2 に基づいて、半導体集積回路装置に供給される各電圧に対応する配置領域を設け、その各電圧に対して割り当てる配置領域を決定し (S 8 3)、その電圧別に配置された配置領域の電圧別配置領域情報 (S 8 4) を作成する。なお、各電圧ごとの配置領域の割り当てについては後述する。

【0102】

次に、構成要素の遅延情報 S 8 0 と電圧別配置領域情報 S 8 4 とに基づいて、

各構成要素に対して信号伝播遅延値に応じた適切な配置領域を割り当て（S 8 5）、構成要素に割り当てる配置領域の配置情報 S 8 6 を作成する。

【0103】

各構成要素に対して配置領域の割り当てを行う（S 8 5）際には、構成要素が属する同一のパス内において、そのパスを構成する全部の構成要素に対して一定の配置領域を割り当てる。また、構成要素の遅延情報 S 8 0 に基づいて、同一のパス内においてもそのパスを構成する構成要素に対して部分的に低い電圧が供給される配置領域を割り当ててもよい。また、構成要素の遅延情報 S 8 0 に基づいて、同一のパスに属する構成要素のうちその一部に対して低い電圧を割り当てても構わない場合に、その同一のパスに属する構成要素のうち複数のパスに属する構成要素に対して低い電圧が供給される配置領域を割り当ててもよい。

【0104】

このようにして、複雑な電源配線を行うことなく簡易に各構成要素に対して個別に電圧を供給することが可能となり、半導体集積回路装置の構成要素ごとに供給する電圧を降圧でき、低消費電力化設計が可能となる。

【0105】

図 10（a）及び（b）は、半導体集積回路装置に供給される複数の電圧ごとに配置領域を設けるその方法を説明するための図である。

【0106】

図 10（a）に示すように、半導体集積回路装置内のパスと動作可能な電圧のうち最も低い電圧を関連付ける統計図において、電圧 VDD1～電圧 VDD4 までは半導体集積回路装置に供給する場合を考える。この場合、パス群 87 のパスに属する構成要素には電圧 VDD1 を割り当てるとすると、電圧 VDD1 の配置領域はパス群 870 に属する構成要素の数に基づいて、図 10（b）に示す配置領域 11r に決定する。同様にして、電圧 VDD2～電圧 VDD4 に割り当てられる配置領域は、パス群 87、88、89 のそれぞれに属する構成要素の数に基づいて、それぞれ、配置領域 12r、13r、14r に決定する。

【0107】

これにより、供給される各電圧に割り当てられる配置領域が半導体集積回路装

置内のパス数に基づいて適切に決定できるので、半導体集積回路装置の省面積化が可能となるとともに、全ての構成要素に対してより適切な電圧を供給できるため、より効率的な低消費電力化設計が可能となる。

【0108】

<設計方法4>

図11は、本発明の本実施形態に係る半導体集積回路装置の設計方法4を示すフローチャートである。

【0109】

図11において、まず、図7及び図9での説明と同様に、半導体集積回路装置の構成要素が属するパスと構成要素そのものが持つ信号伝播遅延値を含む構成要素の遅延情報S90から最適電圧を計算(S91)し、電圧情報S92を作成する。次に、図9での説明と同様に、電圧情報S92から配置領域の割り当て(S93)を行い、電圧別の配置領域情報S94を作成する。そして、構成要素の遅延情報S90と配置領域情報S94とから、各構成要素の信号伝播遅延値に応じた適切な配置領域の割り当てを行い(S95)、配置領域情報S97を作成する。

【0110】

次に、各構成要素に割り当てられた配置領域内において発生するIR-Drop現象などを原因とする電圧降下の情報S96と、配置領域情報S97とに基づいて、その電圧降下を考慮した配置領域内の更に詳細な電圧領域の情報である詳細電圧別情報S98を作成する。

【0111】

そして、構成要素の遅延情報S90と詳細電圧別情報S98とに基づいて、各構成要素の信号伝播遅延値に応じた配置領域内での詳細な領域の割り当てを行い(S99)、割り当てられた配置領域内における各構成要素の詳細な情報として構成要素の詳細配置情報S100を作成する。

【0112】

このようにして、半導体集積回路装置に発生するIR-Drop効果などの電圧降下を考慮して、各構成要素を配置領域内において更に詳細に配置するため、

きめ細やかに低消費電力設計が可能になる。また、配置領域内において、最も大きい信号伝播遅延値を有するパスに属する構成要素を電圧降下が最も小さい領域に配置すれば、半導体装置の性能劣化を防いで、構成要素に要求される目標動作速度を実現できる。

【0 1 1 3】

なお、以上の第 2 の実施形態において、上記した遅延情報などの各種情報は記憶手段（図示せず）に記憶させ、上記した最適電圧計算や各種割り当ては演算手段（図示せず）によって行われるものである。

【発明の効果】

上述の通り、本発明によると、半導体集積回路装置の回路ブロックに供給される複数の電源電圧から、回路ブロックを構成する複数の構成要素のうちの少なくとも 1 つには、他の構成要素とは異なる値の電圧を供給する。これにより、消費電力の低減を実現できる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る半導体集積回路装置の構成を説明するための図である。

【図 2】 (a) 及び (b) は、それぞれ本発明の第 1 の実施形態を具体的に説明するための半導体集積回路装置の構成を示す図である。

【図 3】 本発明の第 1 の実施形態における配置領域を用いた半導体集積回路装置の構成を説明するための図である。

【図 4】 本発明の第 1 の実施形態における配置領域について具体的に説明するための半導体集積回路装置の構成を示す図である。

【図 5】 本発明の第 1 の実施形態における配置領域内部を説明するための半導体集積回路装置の構成を示す図である。

【図 6】 本発明の第 2 の実施形態に係る半導体集積回路装置の設計方法 1 を示すフローチャートである。

【図 7】 本発明の第 2 の実施形態に係る半導体集積回路装置の設計方法 2 を示すフローチャートである。

【図 8】 パス数の統計と用いる電源との関係を説明するための図である。

【図 9】 本発明の第 2 の実施形態に係る半導体集積回路装置の設計方法 3 を示すフローチャートである。

【図 10】 (a) はパス数と用いる電源との関係を示す図であり、(b) は配置領域内の領域の割り当てを説明するための図である。

【図 11】 本発明の第 2 の実施形態に係る半導体集積回路装置の設計方法 4 を示すフローチャートである。

【符号の説明】

1 C、2 C a、2 C b、3 C、4 C 回路ブロック

1 1 ~ 1 4 電源

VDD 1 ~ VDD 4、VDD 5 1 電圧

1 0 1 e ~ 1 2 0 e、2 0 1 e ~ 2 1 7 e、3 0 1 e ~ 3 0 9 e、4 0 1 e ~ 4 2 4 e、5 0 1 e ~ 5 0 8 e 構成要素

2 0 p ~ 2 3 p、3 4 p、3 6 p、4 5 p ~ 4 7 p、4 n p、5 2 p
パス

3 1 R、3 2 R、4 1 R ~ 4 4 R、4 n R、5 0 R 配置領域

5 0 r ~ 5 3 r 配置領域内の詳細な領域

5 1 L 電源配線

S 6 0、S 7 0、S 8 0、S 9 0 遅延情報

S 6 1、S 7 2、S 8 2、S 9 2 装置の電圧情報

S 6 2、S 7 3 個別の電圧割り当て

S 6 3、S 7 4 構成要素の電圧情報

S 7 1、S 8 1、S 9 1 最適電圧計算

S 8 3、S 9 3 電圧別配置領域割り当て

S 8 4、S 9 4 電圧別配置領域情報

S 8 5、S 9 5 配置領域割り当て

S 8 6 構成要素の配置情報

S 9 6 I R - D r o p 情報

S 9 7 配置領域情報

S 9 8 詳細電圧別情報

S 9 9 詳細配置領域の割り当て

S 1 0 0 構成要素の詳細配置情報

T 7 5、T 7 6 パス数の統計

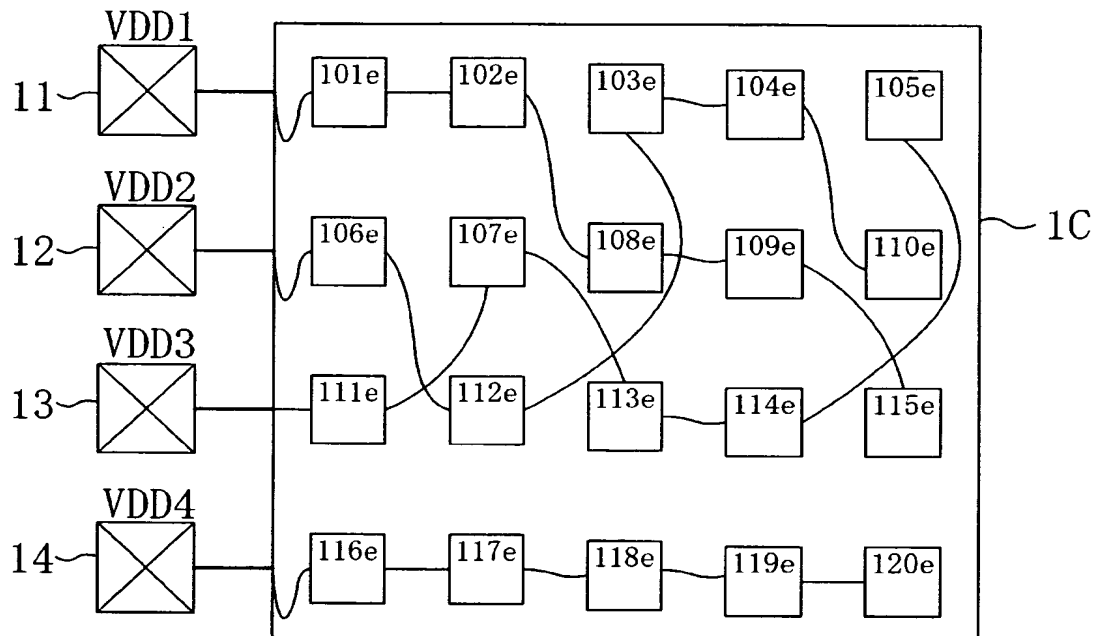
VDD 7 7、VDD 7 8 電圧

8 7 ~ 8 9 パス群

1 1 r ~ 1 4 r 領域

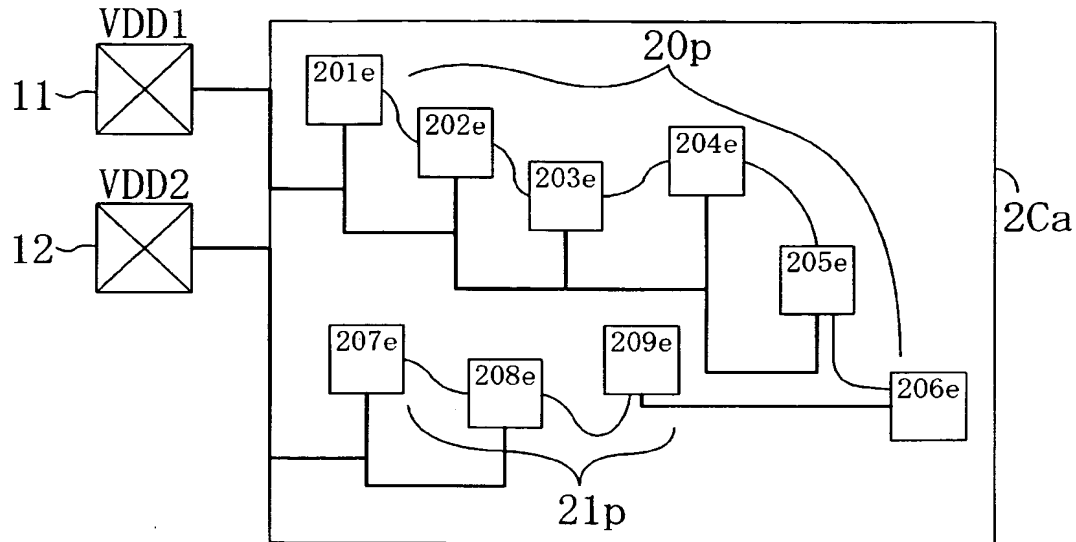
【書類名】 図面

【図 1】

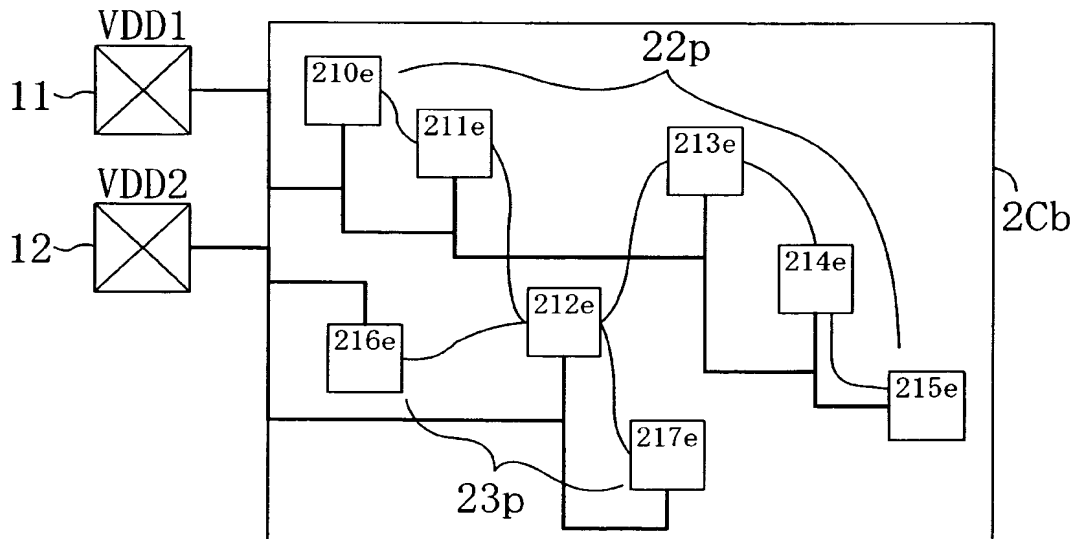


【図 2】

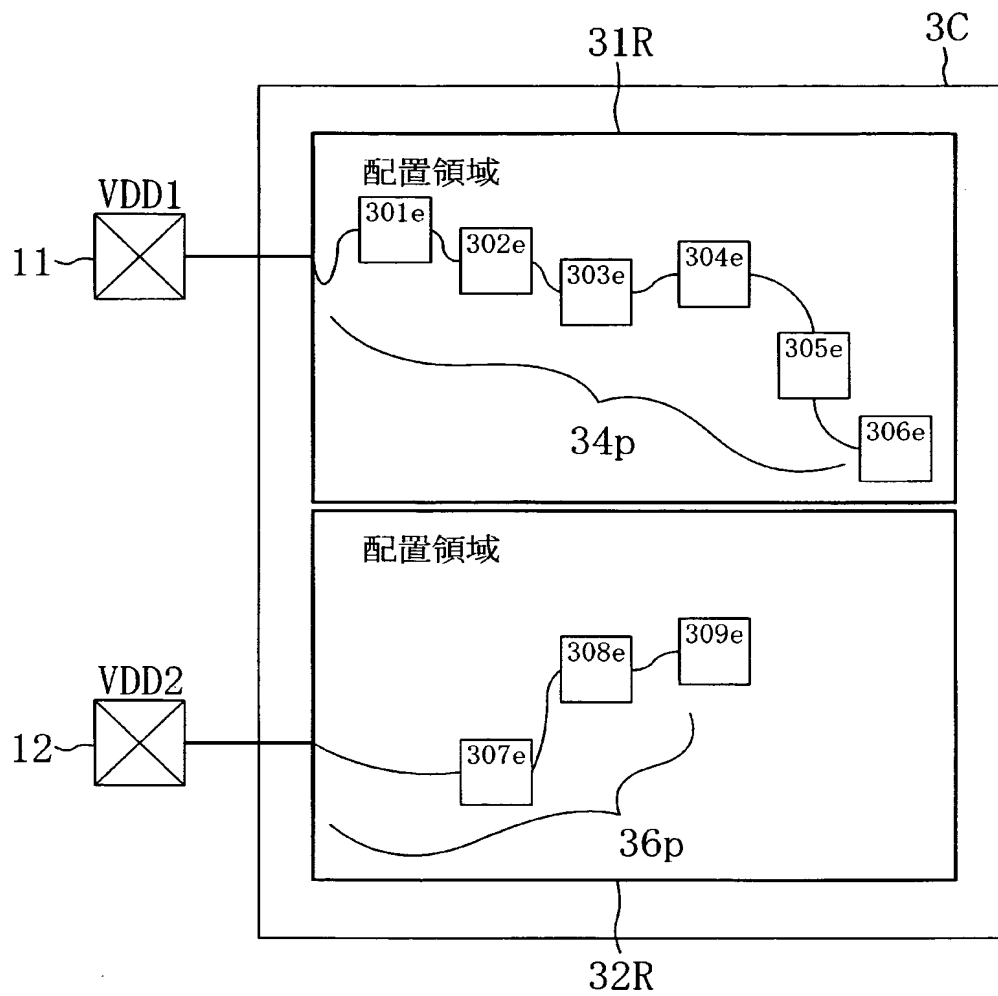
(a)



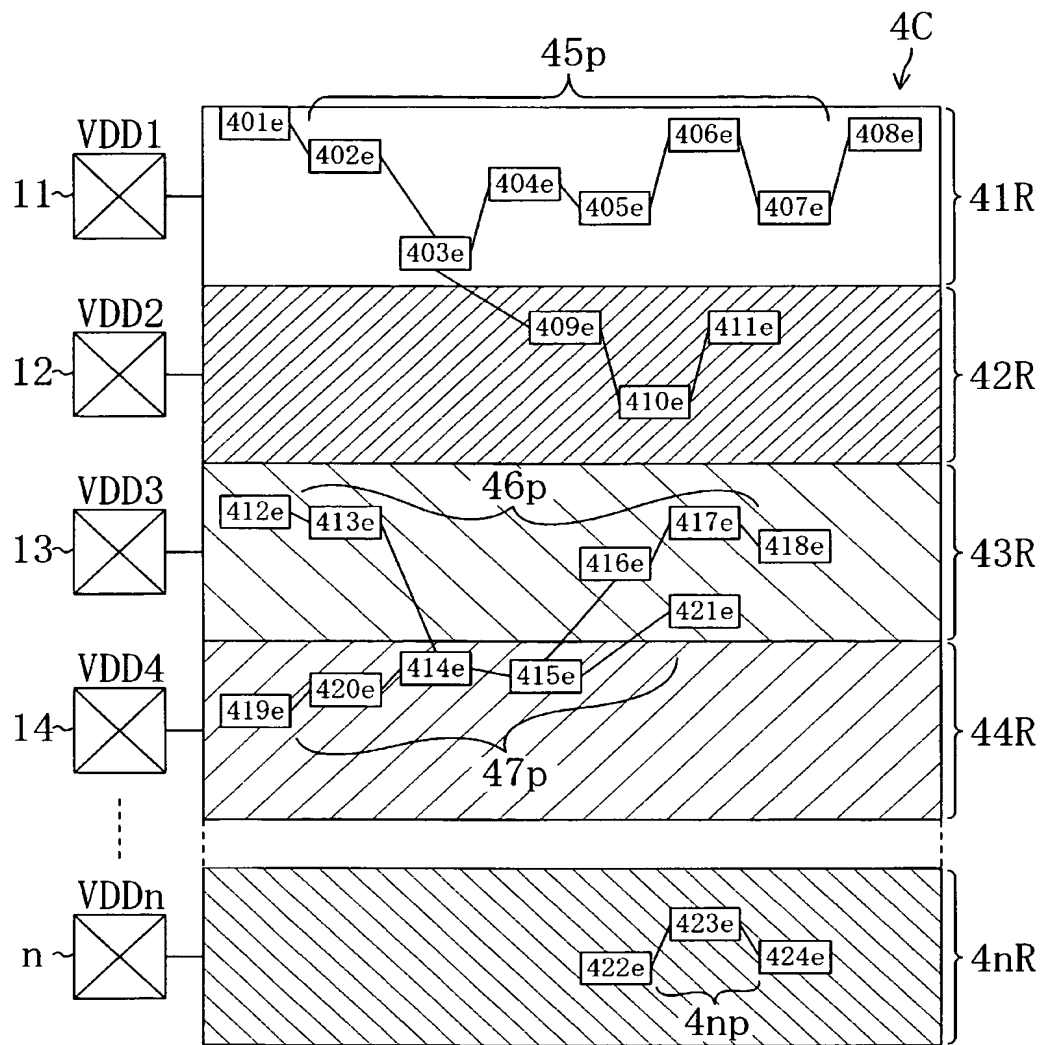
(b)



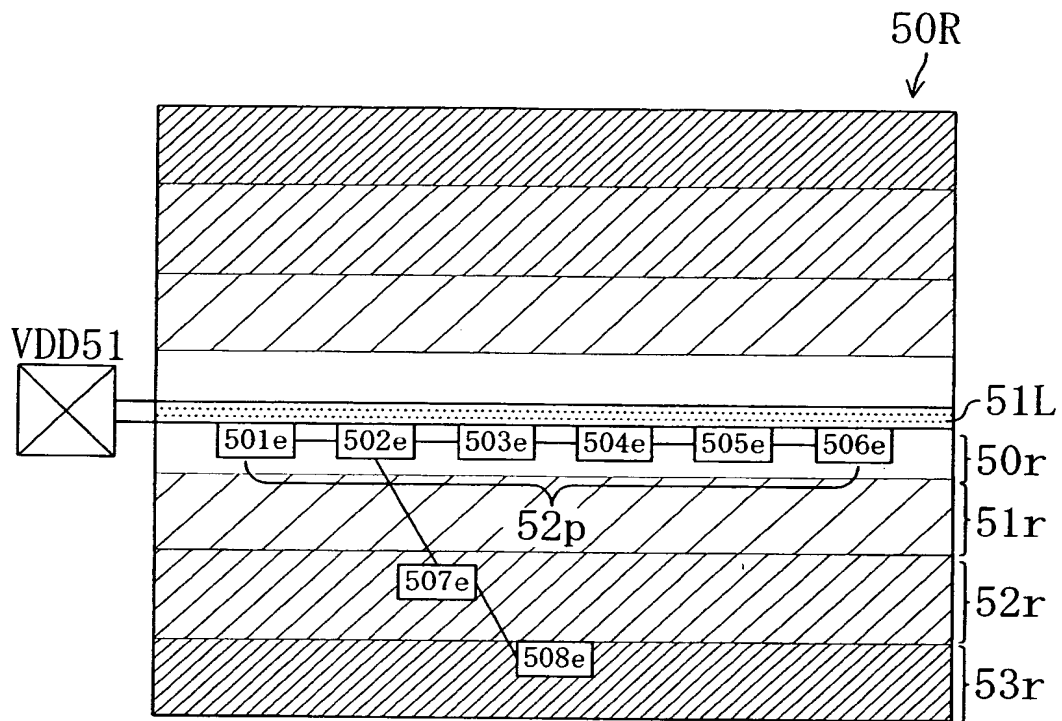
【図 3】



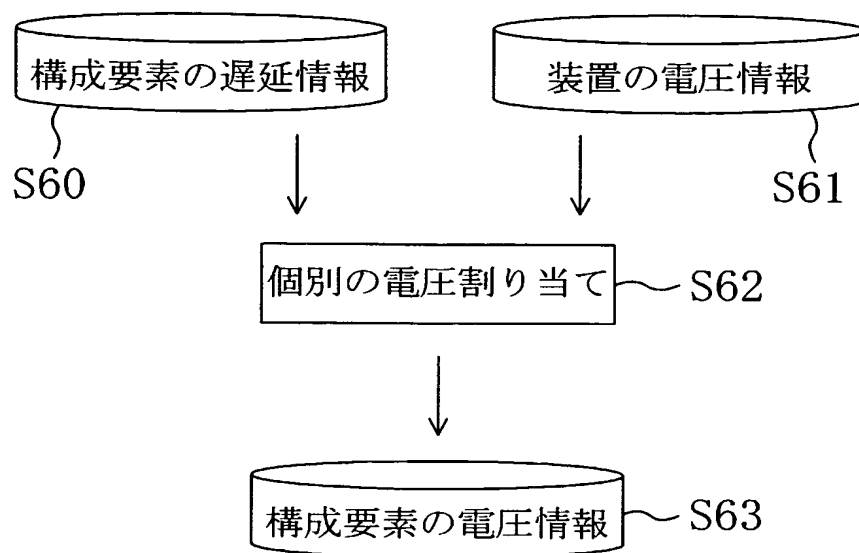
【図 4】



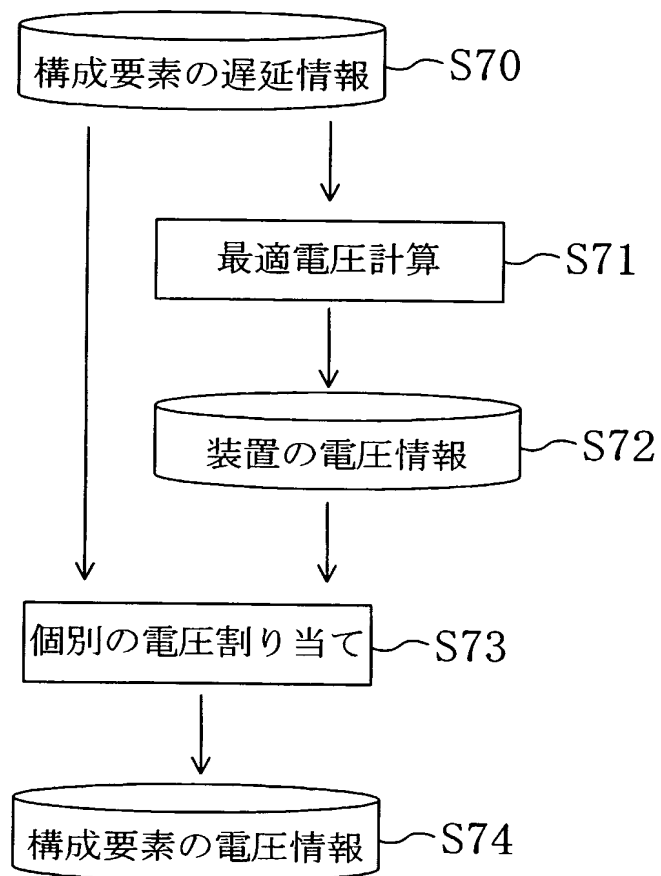
【図 5】



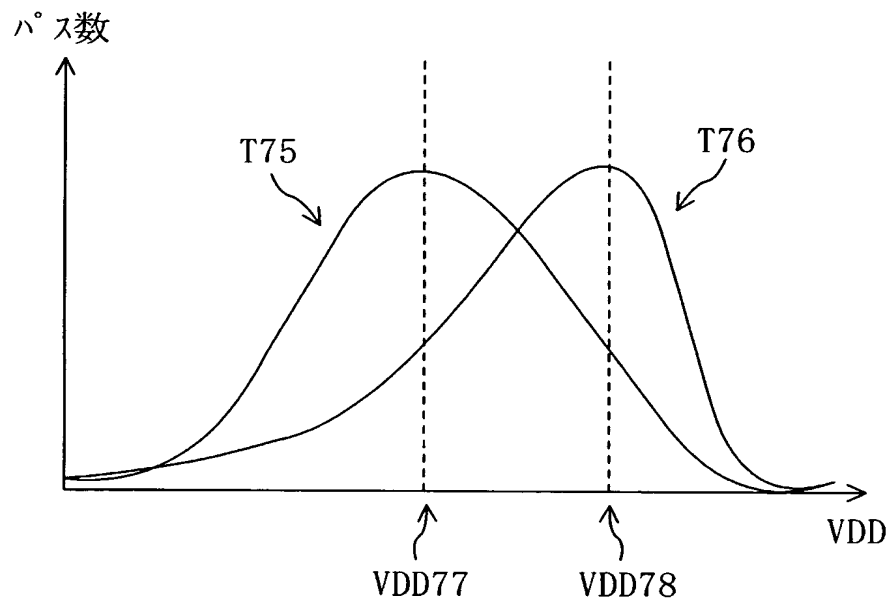
【図 6】



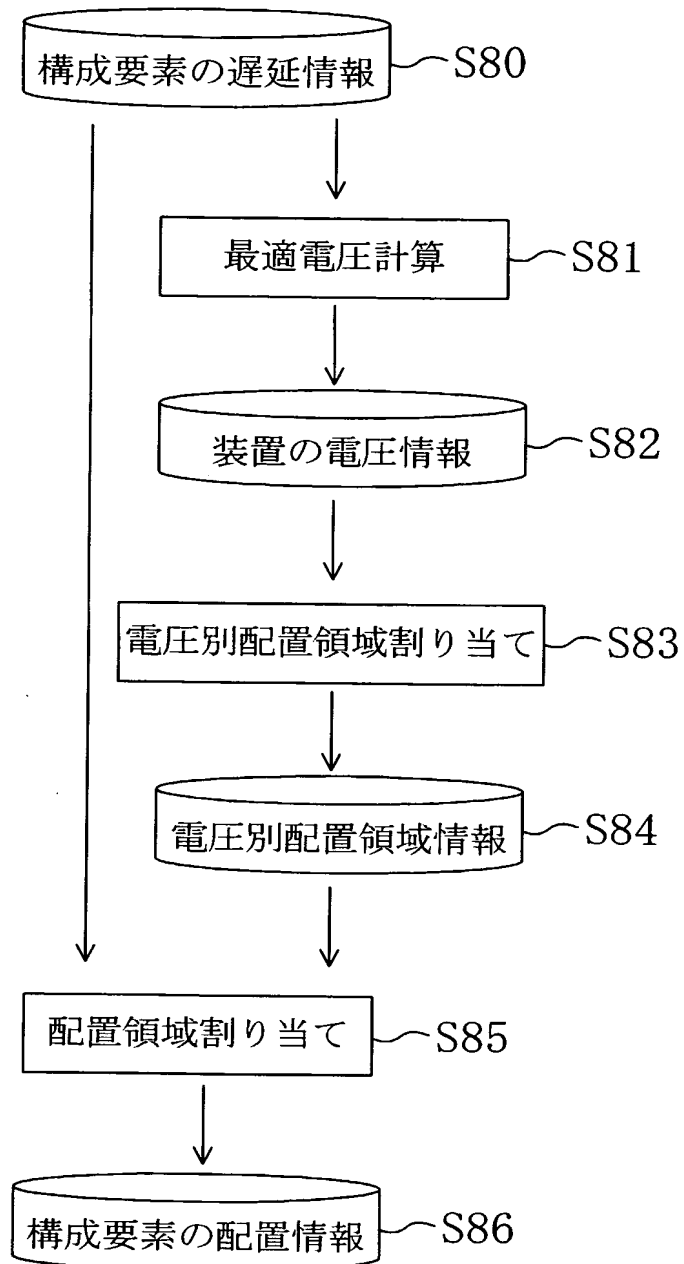
【図 7】



【図 8】

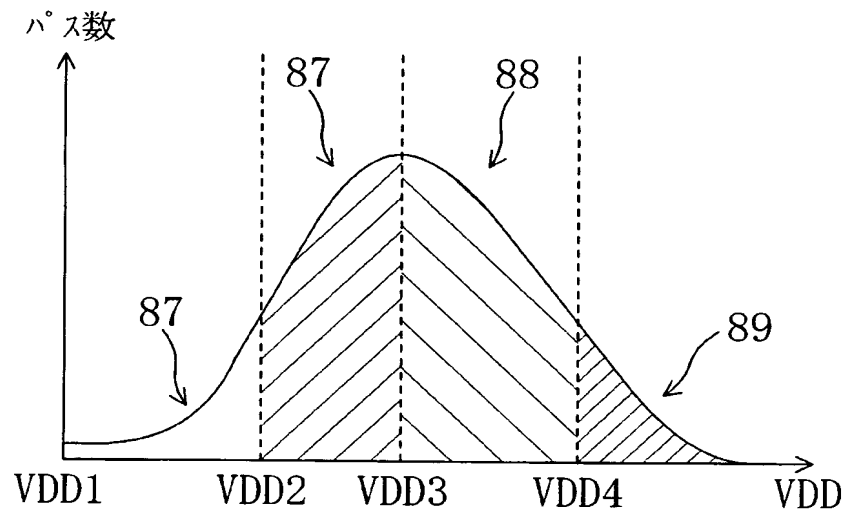


【図 9】

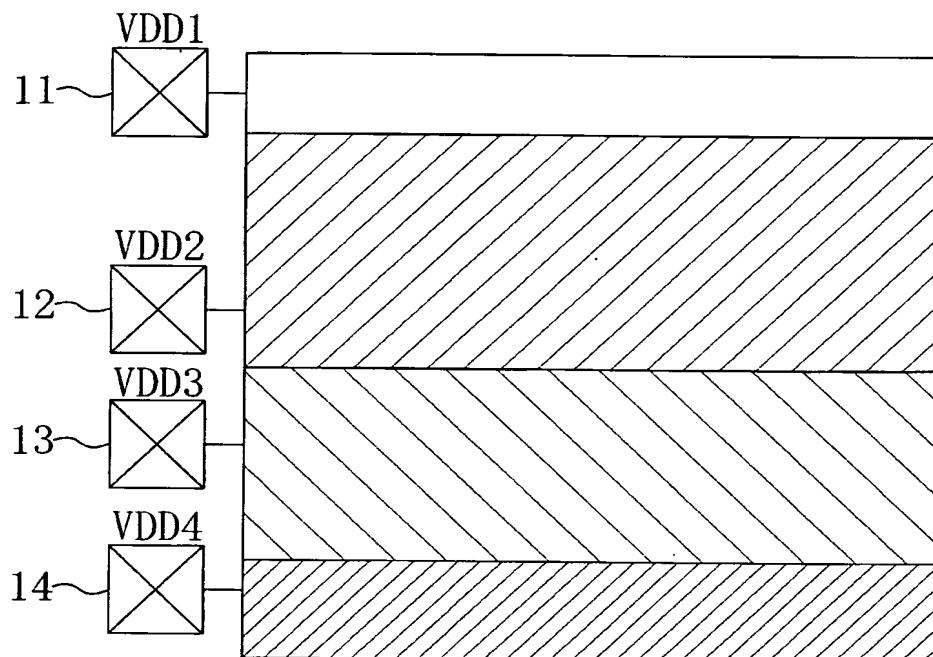


【図 10】

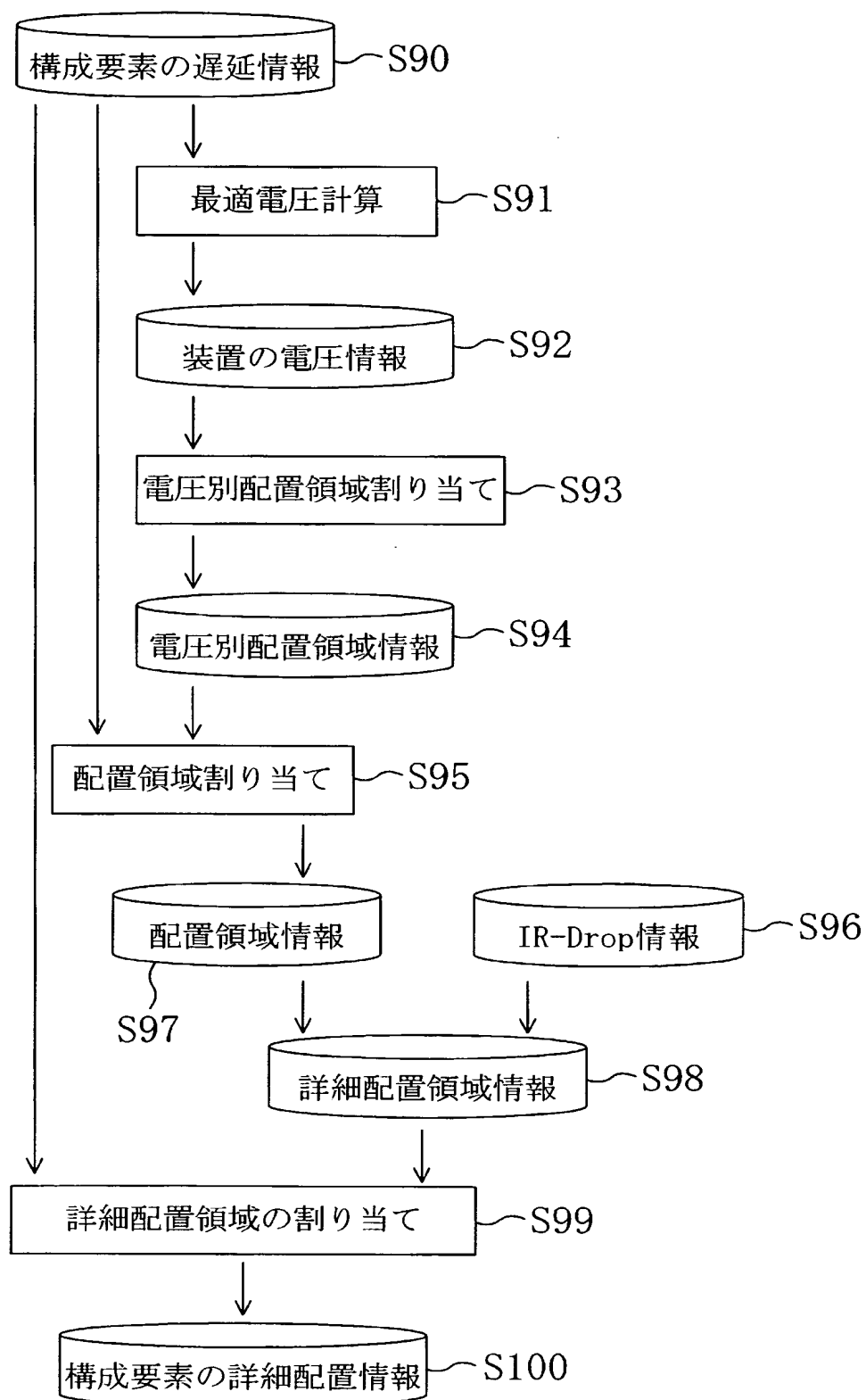
(a)



(b)



【図 11】



【書類名】 要約書

【要約】

【課題】 消費電力の低減を実現する半導体集積回路装置を提供する。

【解決手段】 本発明の半導体集積回路装置は、複数の構成要素 1 0 1 e ~ 1 2 0 e を含む回路ブロック 1 C を有しており、電圧 V D D 1 ~ V D D 4 をそれぞれ供給する電源 1 1 ~ 1 4 から、複数の構成要素 1 0 1 e ~ 1 2 0 e のうちの少なくとも 1 つには、他の構成要素とは異なる値の電圧が供給されている。

【選択図】 図 1

特願 2 0 0 2 - 3 3 3 6 8 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社